

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-175035

(43)Date of publication of application : 21.06.2002

(51)Int.Cl.

G09G 3/20
G02F 1/133
G09G 3/30
G09G 3/36

(21)Application number : 2000-372354

(71)Applicant : SONY CORP

(22)Date of filing : 07.12.2000

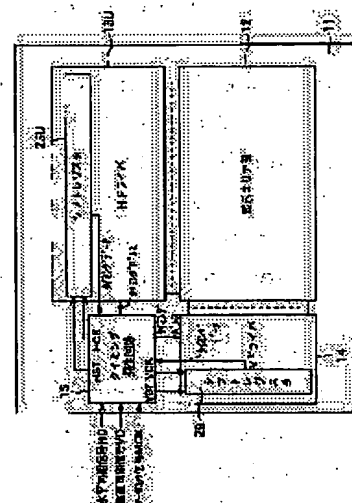
(72)Inventor : NAKAJIMA YOSHIHARU
MAEKAWA TOSHIICHI

(54) TIMING GENERATING CIRCUIT FOR DISPLAY DEVICE, ACTIVE MATRIX TYPE DISPLAY DEVICE, AND PORTABLE TERMINAL

(57)Abstract:

PROBLEM TO BE SOLVED: To solve the problem of impediment to miniaturizing a set and cost reduction for constructing a timing generating circuit on a substrate separate from a substrate, on which a display area part is formed.

SOLUTION: The timing generating circuit 15 is formed on the same glass substrate integral with the display area part 12 as well as an H-driver 13U and a V-driver 14, and also based on the timing data generated by a shift register 25U of the H-driver 13U and a shift register 29 of the V-driver 14, timing pulses used for the H-driver 13U and V-driver 14 are generated.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.*** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The display area section which comes to arrange the pixel which has an electro-optics component in the shape of a matrix, It is the timing generating circuit used for the active-matrix mold display equipped with the vertical-drive circuit which chooses each pixel of said display area section per line, and the level drive circuit which supplies a picture signal to each pixel of the line chosen by said vertical-drive circuit. The timing generating circuit for displays characterized by generating the timing signal used in either [at least] said vertical-drive circuit or said level drive circuit based on the timing information generated in either [at least] said vertical-drive circuit or said level drive circuit.

[Claim 2] The display area section which comes to arrange the pixel which has an electro-optics component in the shape of a matrix, The vertical-drive circuit which chooses each pixel of said display area section per line, and the level drive circuit which supplies a picture signal to each pixel of the line chosen by said vertical-drive circuit, Having had the timing generating circuit which generates the timing signal used in either [at least] said vertical-drive circuit or said level drive circuit based on the timing information generated in either [at least] said vertical-drive circuit or said level drive circuit The active-matrix mold display by which it is characterized.

[Claim 3] It is the active-matrix mold display according to claim 2 which either [at least] said vertical-drive circuit or said level drive circuit has the shift register or counter circuit which performs count actuation for performing address control and generating timing data, and is characterized by said timing generating circuit generating said timing signal based on said timing data generated in said shift register or said counter circuit.

[Claim 4] The shift register or counter circuit which performs count actuation for said level drive circuit performing address control, and generating timing data, It has the latch circuit which latches the video signal displayed on said display area section based on the timing data by which a sequential output is carried out from said shift register or said counter circuit. Said timing generating circuit is a active-matrix mold display according to claim 3 characterized by generating the latch control pulse of said latch circuit using said some of timing data generated in said shift register or said counter circuit.

[Claim 5] It is the active-matrix mold display according to claim 3 which said vertical-drive circuit has the output enabling circuit which outputs a scan pulse by giving an output enabling pulse, and is characterized by said timing generating circuit generating said output enabling pulse based on the timing data by which a sequential output is carried out from the shift register or counter circuit of said level drive circuit.

[Claim 6] It is the active-matrix mold display according to claim 3 which takes screen-display mode alternatively in part, and is characterized by said thing [generate the control signal in screen-display mode in part] based on the timing data which display information only on some fields of said display area section, and with which the sequential output of said timing generating circuit is carried out from the shift register or counter circuit of said level drive circuit.

[Claim 7] The active-matrix mold display according to claim 2 characterized by said electro-optics component being a liquid crystal cell.

[Claim 8] The active-matrix mold display according to claim 2 characterized by said electro-optics

component being an electroluminescent element.

[Claim 9] It is the active-matrix mold display according to claim 2 characterized by the thing which constitute said timing generating circuit by the active element which drives said electro-optics component consisting of a thin film transistor in each pixel of said display area section, and for which a transistor circuit at least is formed in one on the same substrate as said display area section of a thin film transistor.

[Claim 10] It is the active-matrix mold display according to claim 2 which has the power circuit which changes single direct current voltage into two or more kinds of direct current voltage from which an electrical-potential-difference value differs, and is given at least to said vertical-drive circuit and said level drive circuit, and is characterized by said timing generating circuit generating the timing signal used in said power circuit.

[Claim 11] It is the active-matrix mold display according to claim 10 which said power circuit is a charge pump mold supply voltage conversion circuit, and is characterized by said timing signal being a switching pulse used by said charge pump mold supply voltage conversion circuit.

[Claim 12] The display area section which comes as a display to arrange the pixel which has an electro-optics component in the shape of a matrix. The vertical-drive circuit which chooses each pixel of said display area section per line, and the level drive circuit which supplies a picture signal to each pixel of the line chosen by said vertical-drive circuit, The active-matrix mold display possessing the timing generating circuit which generates the timing signal used in either [at least] said vertical-drive circuit or said level drive circuit based on the timing information generated in either [at least] said vertical-drive circuit or said level drive circuit The personal digital assistant characterized by using.

[Claim 13] Said active-matrix mold display is a personal digital assistant according to claim 12 characterized by being the liquid crystal display which used the liquid crystal cell as said electro-optics component.

[Claim 14] Said active-matrix mold display is a personal digital assistant according to claim 12 characterized by being the electroluminescence display which used the electroluminescent element as said electro-optics component.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.*** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] Especially this invention relates to the active-matrix mold indicating equipment which carried the timing generating circuit which generates various kinds of timing pulses for controlling the drive system of a active-matrix mold indicating equipment, and this timing generating circuit, and the personal digital assistant using this indicating equipment as a display about the timing generating circuit for indicating equipments, a active-matrix mold indicating equipment, and a personal digital assistant.

[0002]

[Description of the Prior Art] In recent years, the spread of personal digital assistants, such as a portable telephone and PDA (Personal Digital Assistants), is remarkable. As one of the factors of rapid spread of these personal digital assistants, the liquid crystal display carried as the output display is mentioned. The reason has the property of not requiring power for a liquid crystal display driving theoretically, and is because it is the display device of a low power.

[0003] The vertical-drive system which chooses each pixel per line, and the level drive system which writes information in each pixel of the line chosen by this vertical-drive system are prepared in the display of a configuration of that pixels, such as this liquid crystal display, are arranged in the shape of a matrix, and drive each of these pixels. And in these drive systems, various kinds of timing pulses will be used for the drive control.

[0004] These timing pulses are generated to suitable timing in a timing generating circuit based on Horizontal Synchronizing signal HD, Vertical Synchronizing signal VD, and the master clock signal MCK using the counter circuit for timing signal creation of dedication etc. The timing generating circuit which generates these timing pulses was conventionally formed on the single crystal silicon substrate whose substrate in which the display area section is formed is another substrate.

[0005]

[Problem(s) to be Solved by the Invention] In order to have to create in a respectively separate process while the components mark which constitute a set from having form the timing generating circuit which generates the various timing signals for a display drive in the display represent by the liquid crystal display on the substrate other than the substrate in which the display area section is form increase as mention above, there was a problem become the hindrance of the miniaturization of a set and low-cost-izing.

[0006] This invention is made in view of the above-mentioned technical problem, and the place made into that purpose is to offer the active-matrix mold indicating equipment which carried the timing generating circuit for indicating equipments which can contribute to the miniaturization of a set, and low cost-ization, and this timing generating circuit, and the personal digital assistant using this indicating equipment as a display.

[0007]

[Means for Solving the Problem] The display area section which comes to arrange the pixel which has an electro-optics component in the shape of a matrix in this invention in order to attain the above-mentioned purpose, In the active-matrix mold display equipped with the vertical-drive circuit which chooses each pixel of this display area section per line, and the level drive circuit which supplies a picture signal to each pixel of the line chosen by this vertical-drive circuit The timing generating circuit has composition which generates the timing signal used at least by one side of these drive circuit based on the timing information generated in either [at least] a vertical-drive circuit or a level drive circuit. And the active-matrix mold display which carried this timing generating circuit is used as a display of a personal digital assistant.

[0008] In the active-matrix mold display which carried the timing generating circuit of the above-mentioned configuration, and this, or the personal digital assistant using this, generating a timing signal based on the timing information generated in either [at least] a vertical-drive circuit or a level drive circuit is using a part of one [at least] circuit of a vertical-drive circuit and a level drive circuit also [generation / of a timing signal]. Therefore, the circuitry of a timing generating circuit can be simplified by the circuit made to serve a double purpose.

[0009]

[Embodiment of the Invention] Hereafter, the gestalt of operation of this invention is explained to a detail with reference to a drawing. Drawing 1 is the outline block diagram showing the example of a configuration of the display concerning this invention. Here, the case where it applies to the active matrix liquid crystal display which used the liquid crystal cell as an electro-optics component of each

pixel for example, shall be taken and explained to an example.

[0010] In drawing 1, the timing generating circuit 15 which generates various kinds of timing pulses for driving the H drivers 13U and 13D and the V driver 14 with the H drivers (level drive circuit) 13U and 13D and the V driver (vertical-drive circuit) 14 of the display area section 12 and a vertical pair which come to arrange many pixels containing a liquid crystal cell in the shape of a matrix is accumulated on the transperence insulating substrate 11, for example, a glass substrate. A glass substrate 11 is constituted by the 1st substrate with which arrangement formation of the pixel circuit of a large number containing an active element (for example, transistor) is carried out at the shape of a matrix, and the 2nd substrate which counters with this 1st substrate and a predetermined gap, and is arranged. And liquid crystal is enclosed between these [1st] and the 2nd substrate.

[0011] An example of the concrete configuration of the display area section 12 is shown in drawing 2. Here, the case of the pixel array of three-line (— of $n-1$ line $n+1$ line) four trains ($m-2$ train — $m+1$ train) is taken and shown to the example for simplification of a drawing. In drawing 2, data line —, $22m-2$, $22m-1$, $22m$, $22m+1$, and — are wired by the display area section 12 in the shape of a matrix with vertical-scanning Rhine —, $21n-1$, $21n$, $21n+1$, and —, and the unit pixel 23 is arranged at those intersection parts.

[0012] The unit pixel 23 has the composition of having thin film transistor TFT, liquid crystal cell LC, and retention volume Cs which are a pixel transistor. Here, liquid crystal cell LC means the capacity generated between the counterelectrodes (electrode of another side) countered and formed in the pixel electrode (one electrode) and this which are formed by the thin film transistor TFT.

[0013] A gate electrode is connected to vertical-scanning Rhine —, $21n-1$, $21n$, $21n+1$, and —, and, as for the thin film transistor TFT, the source electrode is connected to data line —, $22m-2$, $22m-1$, $22m$, $22m+1$, and —. A pixel electrode is connected to the drain electrode of a thin film transistor TFT, and, as for liquid crystal cell LC, the counterelectrode is connected to common Rhine 24. Retention volume Cs is connected between the drain electrode of a thin film transistor TFT, and common Rhine 24. Predetermined direct current voltage is given to common Rhine 24 as a common electrical potential difference V_{com} .

[0014] It connects with each outgoing end of vertical-scanning Rhine — and the line to which $21n-1$, $21n$, $21n+1$, and the V driver 14 of — that shows one edge each to drawing 1 correspond, respectively. The V driver 14 is constituted by the shift register, generates a perpendicular selection pulse one by one synchronizing with the perpendicular transfer clock VCK (not shown), and performs a vertical scanning vertical-scanning Rhine — and by giving $21n-1$, $21n$, $21n+1$, and —.

[0015] On the other hand, in the display area section 12, it connects with each odd-numbered outgoing end of data line — and the train to which $22m-1$, $22m+1$, and H driver 13U of — that one edge each shows to drawing 1 correspond at each even-numbered outgoing end of data line — and the train to which $22m-2$, $22m$, and H driver 13D of — that each other end shows to drawing 1 correspond, respectively. An example of the concrete configuration of the H drivers 13U and 13D is shown in drawing 3.

[0016] As shown in drawing 3, H driver 13U has the composition of having shift register 25U, sampling latch circuit (data signal input circuit) 26U, line sequential-ized latch circuit 27U, and DA translation circuit 28U. Shift register 25U performs a horizontal scanning by outputting a shift pulse one by one from each transfer stage synchronizing with the level transfer clock HCK (not shown). Sampling latch circuit 26U answers the shift pulse given from shift register 25U, and samples and latches the digital image data of a predetermined bit inputted in point sequential.

[0017] line sequential-ized latch circuit 27U — sampling latch circuit 26U — a dot order — by latching again the digital image data latched next per one line, it is made line sequential and this digital image data for one line is outputted all at once. The circuitry of a reference voltage selection mold is taken and DA translation circuit 28U is given to data line — of the pixel area section 12 which changed into the analog picture signal the digital image data for one line outputted from line sequential-ized latch

circuit 27U, and carried out point **, 22m-2, 22m-1, 22m, 22m+1, and —.

[0018] Also about lower H driver 13D, it has upper H driver 13U and the composition of having shift register 25D, sampling latch circuit 26D, line sequential-ized latch circuit 27D, and DA translation circuit 28D completely similarly. In addition, although the configuration of the display area section 12 which allots the H drivers 13U and 13D up and down was taken in the liquid crystal display concerning this example, it is also possible to take the configuration which it is not limited to this and allotted only to either of up-and-down.

[0019] It is accumulated on the same glass substrate 11 with the display area section 12 about the timing generating circuit 15 as well as the H drivers 13U and 13D and the V driver 14 so that clearly from drawing 1 and drawing 3. Here, in the case of the liquid crystal display which takes the configuration of the display area section 12 which allots the H drivers 13U and 13D up and down, it is desirable to carry the timing generating circuit 15 in the frame area (circumference area of the display area section 12) of the side in which the H drivers 13U and 13D are not carried.

[0020] Because, the H drivers 13U and 13D have many components compared with the V driver 14, as mentioned above. By carrying in the frame area of the side in which the H drivers 13U and 13D are not carried, since the circuit area becomes very large in many cases It is because the timing generating circuit 15 is accumulable on the same glass substrate 11 as the display area section 12, without reducing the rate of a usual picture area (rate of area of the effective area section 12 to a glass substrate 11).

[0021] In addition, in the liquid crystal display concerning this example, since the V driver 14 is accumulated on the one side of the frame area of the side in which the H drivers 13U and 13D are not carried, the configuration which accumulates the timing generating circuit 15 on the frame area of the side of the opposite side has been taken.

[0022] Moreover, since the thin film transistor TFT is used as each pixel transistor of the display area section 12 on the occasion of accumulation of the timing generating circuit 15, while the manufacture becomes easy by creating these transistor circuits using the same process as the display area section 12 at least, using a thin film transistor also as a transistor which constitutes the timing generating circuit 15, it is realizable in low cost.

[0023] The present condition is that integration is easy about the thin film transistor with the improvement in the engine performance in recent years, or the fall of power consumption. Therefore, low-cost-izing accompanying simplification of a manufacture process, thin-shape-izing further accompanying integration, and miniaturization can be attained the timing generating circuit 15 and by forming a transistor circuit in one in the same process on the same glass substrate 11 using the same thin film transistor as the pixel transistor of the display area section 12 at least especially.

[0024] In addition, although the case where it applied to an active matrix liquid crystal display was taken and explained to the example, it is not limited to this and can apply here like other active-matrix mold displays, such as EL display using the electroluminescence (EL) component as an electro-optics component of each pixel.

[0025] Drawing 4 is the block diagram showing the example of a configuration of the active-matrix mold indicating equipment concerning 1 operation gestalt of this invention equipped with the timing generating circuit 15. Here, although only upper H driver 13U is shown for simplification of a drawing, it is the same as that of upper H driver 13U also about relation with lower H driver 13D.

[0026] The timing generating circuit 15 considers as an input Horizontal Synchronizing signal HD, Vertical Synchronizing signal VD, and master clock MCK which are given from the outside, and first generates the perpendicular start pulse VST and the perpendicular transfer pulse VCK which are given to the shift register 29 of the V driver 14 at the level start pulse HST given to shift register 25 of H driver 13U U and the level transfer pulse HCK, and a list on the basis of these.

[0027] Here, the level start pulse HST is a pulse signal generated after after [generating] predetermined time progress of Horizontal Synchronizing signal HD, and the level transfer pulse HCK is

a pulse signal obtained by carrying out dividing of the master clock MCK, for example. Moreover, the perpendicular start pulse VST is a pulse signal generated after after [generating] predetermined time progress of Vertical Synchronizing signal VD, and the perpendicular transfer pulse VCK is a pulse signal obtained by carrying out dividing of the level transfer pulse HCK, for example.

[0028] Therefore, in the timing generating circuit 15, it can realize in several steps of easy counter circuits as a circuit for generating the level start pulse HST, the level transfer pulse HCK, the perpendicular start pulse VST, and the perpendicular transfer pulse VCK on the basis of Horizontal Synchronizing signal HD, Vertical Synchronizing signal VD, and a master clock MCK.

[0029] The timing generating circuit 15 also considers as an input the timing data (timing information) obtained from the suitable transfer stage of the shift register 29 of the timing data further obtained from the suitable transfer stage of shift register 25U of H driver 13U, and the V driver 14, and has the composition of also generating the timing pulse used by H driver 13U based on these timing data, and the timing pulse used by the V driver 14.

[0030] Here, the latch control pulse used as an example as a timing pulse used by H driver 13U by line sequential-ized latch circuit 27U shown in drawing 3 is mentioned. However, it is not restricted to this. On the other hand, as a timing pulse used by the V driver 14, the display period control pulse for specifying the display period at the time of the sector display mode in which only a period with the perpendicular direction of the display area section 12 displays is mentioned as an example. However, it is not restricted to this.

[0031] Drawing 5 is the block diagram showing the concrete example of a configuration of the timing generating circuit 15. Here, the case where the latch control pulse used by line sequential-ized latch circuit 27U is generated based on the timing data with which the timing generating circuit 15 is given from shift register 25 of H driver 13U U shall be taken and explained to an example.

[0032] In drawing 5, shift register 25 of H driver 13U U is first constituted by M steps of D type flip-flops (it is hereafter described as DFF) 31-1 of the level pixel several Ns or more in the display area section 12 - 31-M. Shift register 25U of this configuration will perform a shift action synchronizing with the level transfer pulse HCK, if the level start pulse HST is given. Consequently, from Q outgoing ends each of DFF 31-1 - 31-M, a pulse (timing information) is outputted one by one synchronizing with the level transfer pulse HCK.

[0033] Q output pulses each of these [DFF 31-1] - 31-M are given to sampling latch circuit 26U one by one as a sampling pulse. Moreover, Q output pulse A of the 1st step of DFF 31-1 and Q output pulse B of the M-1st step of DFF 31-M-1 are supplied to the timing generating circuit 15 as an example. suitable Q output pulse of a transfer stage, and here among Q output pulses each of DFF 31-1 - 31-M.

[0034] In the timing generating circuit 15, the latch control pulse generating circuit 32 for generating a latch control pulse has composition which consists of DFF33 and a buffer 34. DFF33 considers clock (CK) input and Q output pulse B of the M-1st step of DFF 31-M-1 for Q output pulse A of the 1st step of DFF 31-1 supplied from shift register 25U as a clearance (CLR) input, and is considering the own reversal Q output as the data (D) input.

[0035] Thereby, the pulse which serves as "H" level (high level) from the standup timing of Q output pulse A of DFF 31-1 in the period to the standup timing of Q output pulse B of DFF 31-M-1 is acquired from Q outgoing end of DFF33 as latch control pulse C through a buffer 34 so that clearly from the timing chart of drawing 6.

[0036] As mentioned above, in the timing generating circuit 15 for indicating equipments, to generation of the timing pulse used by the H drivers 13U and 13D or the V driver 14 By making the shift registers 25U and 25D of the H drivers 13U and 13D, and the shift register 29 of the V driver 14 serve a double purpose, and having generated the timing pulse based on the timing data obtained from these shift registers Since circuits of dedication, such as a counter circuit, become unnecessary and can simplify circuitry, low-power-ization is attained at the miniaturization of a set, low-cost-izing, and a pan.

[0037] Since the circuitry of the timing generating circuit 15 is very easy and power consumption is also

low when the timing generating circuit 15 is especially formed in one on the same glass substrate 11 with the display area section 12 like the H drivers 13U and 13D or the V driver 14, low-power-ization is attained at narrow-picture-frame-izing of a display, low-cost-izing, and a pan.

[0038] In addition, although [the above-mentioned operation gestalt / part / for generating the level start pulse HST, the level transfer pulse HCK, the perpendicular start pulse VST, and the perpendicular transfer pulse VCK based on Horizontal Synchronizing signal HD, Vertical Synchronizing signal VD, and a master clock MCK / circuit] really formed on a glass substrate 11, you may make it form on another substrate in a glass substrate 11 about this circuit part. Even if it forms on another substrate since it is realizable in the easy counter circuit about the above-mentioned circuit part as point ** was carried out, it is because the configuration of a circumference circuit is not complicated so much.

[0039] Moreover, although it was premised on the case of a configuration of that the H drivers 13U and 13D and the V driver 14 used the shift register and the above-mentioned operation gestalt explained If count actuation for not being restricted when a shift register is used, performing address control in the H drivers 13U and 13D or the V driver 14, and generating timing data is performed It is applicable similarly [in the configuration using a counter circuit respectively different type].

[0040] Drawing 7 is the block diagram showing the example of a configuration of the active-matrix mold indicating equipment concerning other operation gestalten of this invention equipped with the timing generating circuit 15, and attaches and shows the same sign among drawing to drawing 4 and an equivalent part. Here shows only upper H driver 13U for simplification of a drawing, and it is the same as that of upper H driver 13U also about relation with lower H driver 13D.

[0041] In the active-matrix mold display concerning this operation gestalt, in addition to the timing generating circuit 15, it had the power circuit 16, and the configuration formed in one on the same glass substrate 11 with the display area section 12 about this power circuit 16 as well as the timing generating circuit 15 is taken.

[0042] It consists of a supply voltage conversion circuit (DC-DC converter) of a charge pump mold, and a power circuit 16 changes the single DC-power-supply electrical potential difference VCC given from the outside into two or more kinds of direct current voltage from which an electrical-potential-difference value differs, and gives these direct current voltage to the H drivers 13U and 13D, the V driver 14, etc. And in this operation gestalt, the timing generating circuit 15 has taken the configuration which also generates the timing pulse used in this power circuit 16.

[0043] The concrete configuration of a power circuit 16 is explained. Here, the case where the supply voltage conversion circuit of for example, a charge pump mold is used as a power circuit 16 shall be taken and explained to an example.

[0044] Drawing 8 is the circuit diagram showing the example of a configuration of the supply voltage conversion circuit of a charge pump mold, (A) shows a negative electrical-potential-difference generating type, and (B) shows the pressure-up type, respectively. To this charge pump mold supply voltage conversion circuit, the pulse for a clamp for performing the clock pulse for performing switching operation and clamp actuation will be given as a timing pulse from the timing generating circuit 15.

[0045] In drawing 8, between the power sources and glands (GND) which give the single DC-power-supply electrical potential difference VCC, the PchMOS transistor Qp11 and the NchMOS transistor Qn11 are connected to a serial, and each gate is connected in common, and CMOS inverter 36 is constituted in it. The timing pulse supplied from the timing generating circuit 15 is impressed to the common gate node of this CMOS inverter 36 as a switching pulse.

[0046] The end of a capacitor C11 is connected at the drain common node (node B) of CMOS inverter 36. The source of the drain of the NchMOS transistor Qn12 and the PMOS transistor Qp12 is connected to the other end of a capacitor C11, respectively. The load capacitor C12 is connected between the source of the NchMOS transistor Qn12, and a gland.

[0047] The end of a capacitor C13 is connected at the common gate node of CMOS inverter 36. The anode of diode D11 is connected to the other end of a capacitor C13. Each gate of the NchMOS

transistor Qn12 and the PchMOS transistor Qp12 is further connected to the other end of a capacitor C13, respectively. The drain of the PchMOS transistor Qp12 is grounded.

[0048] The PchMOS transistor Qp13 is connected between the other end of a capacitor C13, and a gland. The level shift of the timing pulse supplied from the timing generating circuit 15, i.e., the pulse for a clamp, is carried out to the gate of this PchMOS transistor Qp13, and it is given to it in the level shift circuit 37. These PchMOS(s) transistor Qp13 and the level shift circuit 37 constitute the clamping circuit which clamps the switching pulse voltage of a switching transistor (the NchMOS transistor Qn12 and PchMOS transistor Qp12).

[0049] amplitude V_{CC} — which the level shift circuit 37 uses as a negative side circuit power source output voltage V_{out} of this circuit from which the supply voltage V_{CC} inputted into this supply voltage conversion circuit is drawn from the both ends of a forward side—circuit power source and the load capacitor C12 in this clamping circuit, and is supplied from the timing generating circuit 15 — the level shift of the pulse for a clamp of 0 [V] is carried out to the pulse for a clamp of amplitude $V_{CC}-V_{out}$ [V], and it is given to the gate of the PchMOS transistor Qp13. By this, switching operation of the PchMOS transistor Qp13 will be performed more certainly.

[0050] Next, the circuit actuation in the negative electrical—potential—difference generating type charge pump mold supply voltage conversion circuit of the above—mentioned configuration is explained using the timing chart of drawing 9 (A). In addition, each signal wave form A—G of node A—G in the circuit of drawing 8 (A) is shown in the timing chart of drawing 9 (A).

[0051] "H" level clamp of the output potential of the capacitor C13 based on the switching pulse supplied to a power up (at the time of starting) from the timing generating circuit 15, i.e., the potential of Node D, is carried out at the potential which carried out the level shift by the threshold electrical potential difference V_{th} of diode D11 with diode D11 first from the grand (GND) level which is the circuit power—source potential of a negative side.

[0052] And since the PchMOS transistors Qp11 and Qp12 will be in an ON state when a switching pulse is "L" level (0V), a capacitor C11 is charged. Since the NchMOS transistor Qn11 is in an OFF state at this time, the potential of Node B serves as V_{CC} level. Subsequently, if a switching pulse is set to "H" level (V_{CC}), since the NchMOS transistors Qn11 and Qn12 will be in an ON state and the potential of Node B will be set to a grand level (0V), the potential of Node C serves as $-V_{CC}$ level. The potential of this node C serves as output voltage V_{out} ($=-V_{CC}$) through the NchMOS transistor Qn12 as it is.

[0053] Next, if output voltage V_{out} starts to some extent (at the time of starting process termination), the level shift circuit 37 for clamp pulses will begin actuation. If this level shift circuit 37 begins to operate, in the level shift circuit 37 concerned, the level shift of the pulse for a clamp of amplitude $V_{CC}-0$ [V] supplied from the timing generating circuit 15 will be carried out to the pulse for a clamp of amplitude $V_{CC}-V_{out}$ [V], and it will be impressed to the gate of the PchMOS transistor Qp13 after an appropriate time.

[0054] Since "L" level of the pulse for a clamp is output voltage V_{out} , i.e., $-V_{CC}$, at this time, the PchMOS transistor Qp13 will be in an ON state certainly. Thereby, the potential of Node D is clamped by not the potential that carried out the level shift by the threshold electrical potential difference V_{th} of diode D11 from the grand level but the grand level (circuit power—source potential of a negative side).

Thereby, in subsequent pumping—actuation, sufficient driver voltage is obtained especially to the PchMOS transistor Qp12.

[0055] In the charge pump mold supply voltage conversion circuit of the above—mentioned configuration The control pulse (switching pulse) electrical potential difference to the switching device (the NchMOS transistor Qn12 and PchMOS transistor Qp12) prepared in the output section The clamp by the clamping circuit where after the clamp by diode D11 and starting process termination consists of a PchMOS transistor Qp13 and a level shift circuit 37 first at the time of starting of this circuit, Thus, since actuation which divides into two steps and is clamped is performed, sufficient driver voltage can be taken especially to the PchMOS transistor Qp12.

[0056] Conversion efficiency can be raised while being able to perform stable DC-DC conversion actuation by this, in order to acquire sufficient switching current in the PchMOS transistor Qp12. Since sufficient switching current is acquired even if it does not enlarge transistor size of the PchMOS transistor Qp12 especially, a supply voltage conversion circuit with big current capacity is realizable on a scale of the circuit of small area. The effectiveness is large especially when a transistor with a large threshold V_{th} , for example, a thin film transistor, is used.

[0057] Also in DD converter of the pressure-up type shown in drawing 8 (B), fundamental circuitry and circuit actuation are the same.

[0058] In drawing 8 (B) namely, a switching transistor and the transistor for a clamp (MOS transistors Qp14, Qn14, and Qn13) While becoming MOS transistors Qn12, Qp12, and Qp13 of the circuit of drawing 8 (A), and a reverse conductivity type Diode D11 is connected between the other end of a capacitor C11, and a power source (VCC). And the level shift circuit 37 has composition which used output voltage V_{out} of this circuit as the forward side-circuit power source, and used the grand level as the negative side circuit power source, and it is that this point is only different from the circuit of drawing 8 (A) constitutionally.

[0059] Fundamentally, it is completely the same as the circuit of drawing 8 (A) on-circuit actuation. Differing is only the point that the diode clamp of the switching pulse voltage (control pulse electrical potential difference) is first carried out at the time of starting, and it is clamped by VCC level (circuit power-source potential by the side of forward) at the time of starting process termination, and twice as many electrical-potential-difference value $2 \times VCC$ as supply voltage VCC is drawn as output voltage V_{out} . The timing chart of each signal wave form A-G of node A-G in the circuit of drawing 8 (B) is shown in drawing 9 (B).

[0060] It does not pass over the circuitry of the supply voltage conversion circuit of the charge pump mold described above to an example, and as circuitry of a charge pump circuit, various alterations are possible for it, and it is not limited to the above-mentioned example of circuitry.

[0061] In addition, although the latch control pulse used by the latch circuits 27U and 27D of the H drivers 13U and 13D, and the switching pulse and the pulse for a clamp which are used in the power circuit 16 which consists of a charge pump mold supply voltage conversion circuit were mentioned as the example as a timing pulse generated in the timing generating circuit 15 with each above-mentioned operation gestalt, it is not restricted to these.

[0062] In taking the configuration which has the output enabling circuit where the V driver 14 outputs a scan pulse by giving an output enabling pulse as an example the output enabling pulse used in the output enabling circuit — or the part which displays information only on some fields of the display area section whose displays are one mode in power-saving mode — in a configuration of taking screen-display mode alternatively the — you may be the control signal (control pulse) in screen-display mode etc. a part.

[0063] Moreover, the active-matrix mold indicating equipment concerning each above-mentioned operation gestalt is used as a display of personal digital assistants, such as a portable telephone with which the miniaturization of the body of equipment and miniaturization are advanced especially, and PDA, the outside used as a display of OA equipment, such as a personal computer and a word processor, a television receiver, etc., and is suitable.

[0064] Drawing 10 is the personal digital assistant with which this invention is applied, for example, the external view showing the outline of the configuration of a portable telephone.

[0065] The portable telephone concerning this example has the composition that the loudspeaker section 42, a display 43, a control unit 44, and the microphone section 45 have been arranged sequentially from an upper part side at the front-face side of the equipment case 41. In the portable telephone of this configuration, a liquid crystal display is used for a display 43, and the active matrix liquid crystal display applied to each operation gestalt which carried out point ** as this liquid crystal display is used for it.

[0066] Thus, in personal digital assistants, such as a portable telephone, by using the active matrix liquid

crystal display concerning each operation gestalt which carried out point ** as a display. 43, it is easy, and the miniaturization of a display, low-cost-izing, and since low-power-ization can be attained further, low-power-ization of the circuitry of the timing generating circuit carried in the liquid crystal display concerned is attained at the miniaturization of a terminal body, low-cost-izing, and a pan.

[0067]

[Effect of the Invention] In the active-matrix mold display which carried a timing generating circuit and this according to this invention as explained above, or the personal digital assistant using this as a display By having generated the timing signal used in either [at least] a vertical-drive circuit or a level drive circuit based on the timing information generated in either [at least] a vertical-drive circuit or a level drive circuit Since only the part which can use a part of one [at least] circuit of a vertical-drive circuit and a level drive circuit also [generation / of a timing signal] can simplify circuitry, low-power-ization is attained at the miniaturization of a set, low-cost-izing, and a pan.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the outline block diagram showing the example of a configuration of the active-matrix mold display concerning this invention.

[Drawing 2] It is the circuit diagram showing the example of a configuration of the display area section of a liquid crystal display.

[Drawing 3] It is the block diagram showing an example of the concrete configuration of H driver.

[Drawing 4] It is the block diagram showing the example of a configuration of the active-matrix mold indicating equipment concerning 1 operation gestalt of this invention.

[Drawing 5] It is the block diagram showing an example of the concrete configuration of a timing generating circuit.

[Drawing 6] It is a timing chart for explanation of a timing generating circuit of operation.

[Drawing 7] It is the block diagram showing the example of a configuration of the active-matrix mold indicating equipment concerning other operation gestalten of this invention.

[Drawing 8] It is the circuit diagram showing the example of a configuration of a charge pump mold supply voltage conversion circuit, and (A) shows a negative electrical-potential-difference generating type, and (B) shows the pressure-up type, respectively.

[Drawing 9] It is a timing chart for explaining circuit actuation of a charge pump mold supply voltage conversion circuit, and (A) shows a negative electrical-potential-difference generating type case, and (B) shows the pressure-up type case, respectively.

[Drawing 10] It is the external view showing the outline of the configuration of the portable telephone which is a personal digital assistant concerning this invention.

[Description of Notations]

11 [— A timing generating circuit, 16 / — A power circuit, 23 / — A unit pixel, 25U, 25D, 29 / — A shift register, 31-1 — 31-M, 32 / — A latch control pulse generating circuit, 33 / — D type flip-flop (DFF)] — A glass substrate, 12 — The display area section, 13U, 13D — H driver (level drive circuit), 14 — V driver (vertical-drive circuit), 15

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-175035

(P2002-175035A)

(43) 公開日 平成14年6月21日 (2002.6.21)

(51) IntCl. ⁷	識別記号	F I	テーマコード* (参考)
G 0 9 G 3/20	6 1 2	G 0 9 G 3/20	6 1 2 J 2 H 0 9 3
	6 1 1		6 1 2 D 5 C 0 0 6
	6 2 1		6 1 1 A 5 C 0 8 0
			6 1 1 Z
			6 2 1 M

審査請求 未請求 請求項の数14 OL (全 12 頁) 最終頁に続く

(21) 出願番号 特願2000-372354(P2000-372354)

(22) 出願日 平成12年12月7日 (2000.12.7)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 仲島 義晴

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 前川 敏一

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74) 代理人 100086298

弁理士 船橋 國則

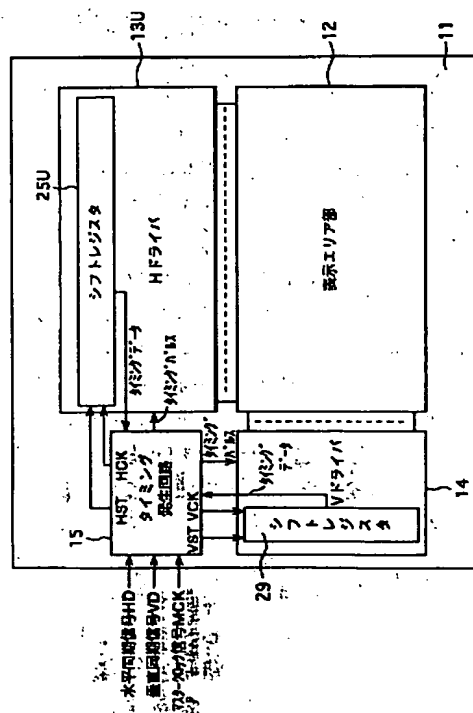
最終頁に続く

(54) 【発明の名称】 表示装置用タイミング発生回路、アクティブマトリクス型表示装置および携帯端末

(57) 【要約】

【課題】 タイミング発生回路を表示エリア部が形成される基板とは別の基板上に作成した場合、セットの小型化、低コスト化の妨げになる。

【解決手段】 タイミング発生回路15を、Hドライバ13UやVドライバ14と同様に表示エリア部12と共に同一のガラス基板11上に一体的に形成するとともに、Hドライバ13Uのシフトレジスタ25UやVドライバ14のシフトレジスタ29で生成されるタイミングデータを基に、Hドライバ13UやVドライバ14で用いるタイミングパルスを生成するようにする。



(2)

【特許請求の範囲】

【請求項 1】 電気光学素子を有する画素がマトリクス状に配置されてなる表示エリア部と、
前記表示エリア部の各画素を行単位で選択する垂直駆動回路と、

前記垂直駆動回路によって選択された行の各画素に対して画像信号を供給する水平駆動回路とを備えたアクティブマトリクス型表示装置に用いるタイミング発生回路であって、

前記垂直駆動回路および前記水平駆動回路の少なくとも一方で生成されるタイミング情報を基に前記垂直駆動回路および前記水平駆動回路の少なくとも一方で用いるタイミング信号を発生することを特徴とする表示装置用タイミング発生回路。

【請求項 2】 電気光学素子を有する画素がマトリクス状に配置されてなる表示エリア部と、
前記表示エリア部の各画素を行単位で選択する垂直駆動回路と、

前記垂直駆動回路によって選択された行の各画素に対して画像信号を供給する水平駆動回路と、

前記垂直駆動回路および前記水平駆動回路の少なくとも一方で生成されるタイミング情報を基に前記垂直駆動回路および前記水平駆動回路の少なくとも一方で用いるタイミング信号を発生するタイミング発生回路とを備えたことを特徴とするアクティブマトリクス型表示装置。

【請求項 3】 前記垂直駆動回路および前記水平駆動回路の少なくとも一方は、アドレス制御を行いつつタイミングデータを生成するためのカウント動作を行うシフトレジスタもしくはカウンタ回路を有し、
前記タイミング発生回路は、前記シフトレジスタもしくは前記カウンタ回路で生成される前記タイミングデータに基づいて前記タイミング信号を発生することを特徴とする請求項 2 記載のアクティブマトリクス型表示装置。

【請求項 4】 前記水平駆動回路は、アドレス制御を行いつつタイミングデータを生成するためのカウント動作を行うシフトレジスタもしくはカウンタ回路と、前記シフトレジスタもしくは前記カウンタ回路から順次出力されるタイミングデータに基づいて前記表示エリア部に表示する映像信号をラッチするラッチ回路とを有し、
前記タイミング発生回路は、前記シフトレジスタもしくは前記カウンタ回路で生成される前記タイミングデータの一部を用いて前記ラッチ回路のラッチ制御パルスを発生することを特徴とする請求項 3 記載のアクティブマトリクス型表示装置。

【請求項 5】 前記垂直駆動回路は、出力カネーブルパルスが与えられることによって走査パルスを出力する出力カネーブル回路を有し、
前記タイミング発生回路は、前記水平駆動回路のシフトレジスタもしくはカウンタ回路から順次出力されるタイ

2

ミングデータに基づいて前記出力カネーブルパルスが発生することを特徴とする請求項 3 記載のアクティブマトリクス型表示装置。

【請求項 6】 前記表示エリア部の一部の領域にのみ情報を表示する一部画面表示モードを選択的にとり、
前記タイミング発生回路は、前記水平駆動回路のシフトレジスタもしくはカウンタ回路から順次出力されるタイミングデータに基づいて前記一部画面表示モードの制御信号を発生することを特徴とする請求項 3 記載のアクティブマトリクス型表示装置。

【請求項 7】 前記電気光学素子が液晶セルであることを特徴とする請求項 2 記載のアクティブマトリクス型表示装置。

【請求項 8】 前記電気光学素子がエレクトロルミネッセンス素子であることを特徴とする請求項 2 記載のアクティブマトリクス型表示装置。

【請求項 9】 前記表示エリア部の各画素において、前記電気光学素子を駆動する能動素子が薄膜トランジスタからなり、

前記タイミング発生回路を構成する少なくともトランジスタ回路は、薄膜トランジスタにより前記表示エリア部と同一基板上に一体的に形成されることを特徴とする請求項 2 記載のアクティブマトリクス型表示装置。

【請求項 10】 単一の直流電圧を電圧値の異なる複数種類の直流電圧に変換して少なくとも前記垂直駆動回路および前記水平駆動回路に与える電源回路を有し、
前記タイミング発生回路は、前記電源回路で用いるタイミング信号をも発生することを特徴とする請求項 2 記載のアクティブマトリクス型表示装置。

【請求項 11】 前記電源回路は、チャージポンプ型電源電圧変換回路であり、
前記タイミング信号は前記チャージポンプ型電源電圧変換回路で用いるスイッチングパルスであることを特徴とする請求項 10 記載のアクティブマトリクス型表示装置。

【請求項 12】 表示部として、
電気光学素子を有する画素がマトリクス状に配置されてなる表示エリア部と、

前記表示エリア部の各画素を行単位で選択する垂直駆動回路と、

前記垂直駆動回路によって選択された行の各画素に対して画像信号を供給する水平駆動回路と、

前記垂直駆動回路および前記水平駆動回路の少なくとも一方で生成されるタイミング情報を基に前記垂直駆動回路および前記水平駆動回路の少なくとも一方で用いるタイミング信号を発生するタイミング発生回路とを具備するアクティブマトリクス型表示装置を用いたことを特徴とする携帯端末。

【請求項 13】 前記アクティブマトリクス型表示装置は、前記電気光学素子として液晶セルを用いた液晶表示

(3)

装置であることを特徴とする請求項12記載の携帯端末。

【請求項14】 前記アクティブマトリクス型表示装置は、前記電気光学素子としてエレクトロルミネッセンス素子を用いたエレクトロルミネッセンス表示装置であることを特徴とする請求項12記載の携帯端末。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、表示装置用タイミング発生回路、アクティブマトリクス型表示装置および携帯端末に関し、特にアクティブマトリクス型表示装置の駆動系を制御するための各種のタイミングパルスが発生するタイミング発生回路、このタイミング発生回路を搭載したアクティブマトリクス型表示装置およびこの表示装置を表示部として用いた携帯端末に関する。

【0002】

【従来の技術】近年、携帯電話機やPDA(Personal Digital Assistants)などの携帯端末の普及がめざましい。これら携帯端末の急速な普及の要因の一つとして、その出力表示部として搭載されている液晶表示装置が挙げられる。その理由は、液晶表示装置が原理的に駆動するための電力を要しない特性を持ち、低消費電力の表示デバイスであるためである。

【0003】この液晶表示装置など、画素がマトリクス状に配置され、これら画素の各々を駆動する構成の表示装置には、各画素を行単位で選択する垂直駆動系と、この垂直駆動系によって選択された行の各画素に情報を書き込む水平駆動系とが設けられている。そして、これら駆動系では、その駆動制御のために各種のタイミングパルスが用いられることになる。

【0004】これらのタイミングパルスは、タイミング発生回路において、専用のタイミング信号作成用カウンタ回路などを用いて、水平同期信号HD、垂直同期信号VDおよびマスタークロック信号MCKに基づいて適当なタイミングで発生される。これらタイミングパルスを発生するタイミング発生回路は、従来、表示エリア部が形成される基板とは別基板である単結晶シリコン基板上に形成されていた。

【0005】

【発明が解決しようとする課題】上述したように、液晶表示装置に代表される表示装置において、表示駆動のための種々のタイミング信号を発生するタイミング発生回路を、表示エリア部が形成される基板とは別の基板上に形成したのでは、セットを構成する部品点数が増えるとともに、それぞれ別々のプロセスで作成しなければならないため、セットの小型化、低コスト化の妨げになるという問題があった。

【0006】本発明は、上記課題に鑑みてなされたものであり、その目的とするところは、セットの小型化、低コスト化に寄与し得る表示装置用タイミング発生回路、

このタイミング発生回路を搭載したアクティブマトリクス型表示装置およびこの表示装置を表示部として用いた携帯端末を提供することにある。

【0007】

【課題を解決するための手段】上記目的を達成するために、本発明では、電気光学素子を有する画素がマトリクス状に配置されてなる表示エリア部と、この表示エリア部の各画素を行単位で選択する垂直駆動回路と、この垂直駆動回路によって選択された行の各画素に対して画像信号を供給する水平駆動回路とを備えたアクティブマトリクス型表示装置において、タイミング発生回路が、垂直駆動回路および水平駆動回路の少なくとも一方で生成されるタイミング情報を基にこれら駆動回路の少なくとも一方で用いるタイミング信号を生成する構成となっている。そして、このタイミング発生回路を搭載したアクティブマトリクス型表示装置は、携帯端末の表示部として用いられる。

【0008】上記構成のタイミング発生回路、これを搭載したアクティブマトリクス型表示装置あるいはこれを用いた携帯端末において、垂直駆動回路および水平駆動回路の少なくとも一方で生成されるタイミング情報を基にタイミング信号を生成するということは、垂直駆動回路および水平駆動回路の少なくとも一方の回路の一部をタイミング信号の生成に兼用することである。したがって、その兼用する回路分だけタイミング発生回路の回路構成を簡略化できる。

【0009】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して詳細に説明する。図1は、本発明に係る表示装置の構成例を示す概略構成図である。ここでは、例えば、各画素の電気光学素子として液晶セルを用いたアクティブマトリクス型液晶表示装置に適用した場合を例に採って説明するものとする。

【0010】図1において、透明絶縁基板、例えばガラス基板11上には、液晶セルを含む画素がマトリクス状に多数配置されてなる表示エリア部12、上下一対のHドライブ（水平駆動回路）13U、13DおよびVドライブ（垂直駆動回路）14とともに、Hドライブ13U、13DやVドライブ14を駆動するための各種のタイミングパルスを発生するタイミング発生回路15が集積されている。ガラス基板11は、能動素子（例えば、トランジスタ）を含む多数の画素回路がマトリクス状に配置形成される第1の基板と、この第1の基板と所定の間隙をもって対向して配置される第2の基板とによって構成される。そして、これら第1、第2の基板間に液晶が封入される。

【0011】図2に、表示エリア部12の具体的な構成の一例を示す。ここでは、図面の簡略化のために、3行（ $n-1$ 行～ $n+1$ 行）4列（ $m-2$ 列～ $m+1$ 列）の画素配列の場合を例に採って示している。図2におい

(4)

5

て、表示エリア部12には、垂直走査ライン…、 $21n-1$ 、 $21n$ 、 $21n+1$ 、…と、データライン…、 $22m-2$ 、 $22m-1$ 、 $22m$ 、 $22m+1$ 、…とがマトリクス状に配線され、それらの交点部分に単位画素23が配置されている。

【0012】単位画素23は、画素トランジスタである薄膜トランジスタTFT、液晶セルLCおよび保持容量Csを有する構成となっている。ここで、液晶セルLCは、薄膜トランジスタTFTで形成される画素電極（一方の電極）とこれに対向して形成される対向電極（他方の電極）との間で発生する容量を意味する。

【0013】薄膜トランジスタTFTは、ゲート電極が垂直走査ライン…、 $21n-1$ 、 $21n$ 、 $21n+1$ 、…に接続され、ソース電極がデータライン…、 $22m-2$ 、 $22m-1$ 、 $22m$ 、 $22m+1$ 、…に接続されている。液晶セルLCは、画素電極が薄膜トランジスタTFTのドレイン電極に接続され、対向電極が共通ライン24に接続されている。保持容量Csは、薄膜トランジスタTFTのドレイン電極と共通ライン24との間に接続されている。共通ライン24には、所定の直流電圧がコモン電圧Vcomとして与えられる。

【0014】垂直走査ライン…、 $21n-1$ 、 $21n$ 、 $21n+1$ 、…の各一端は、図1に示すVドライバ14の対応する行の各出力端にそれぞれ接続される。Vドライバ14は、例えばシフトレジスタによって構成され、垂直転送クロックVCK（図示せず）に同期して順次垂直選択パルスを発生して垂直走査ライン…、 $21n-1$ 、 $21n$ 、 $21n+1$ 、…に与えることによって垂直走査を行う。

【0015】一方、表示エリア部12において、例えば、奇数番目のデータライン…、 $22m-1$ 、 $22m+1$ 、…の各一端が図1に示すHドライバ13Uの対応する列の各出力端に、偶数番目のデータライン…、 $22m-2$ 、 $22m$ 、…の各他端が図1に示すHドライバ13Dの対応する列の各出力端にそれぞれ接続される。Hドライバ13U、13Dの具体的な構成の一例を図3に示す。

【0016】図3に示すように、Hドライバ13Uは、シフトレジスタ25U、サンプリングラッチ回路（データ信号入力回路）26U、線順次化ラッチ回路27UおよびDA変換回路28Uを有する構成となっている。シフトレジスタ25Uは、水平転送クロックHCK（図示せず）に同期して各転送段から順次シフトパルスを出力することによって水平走査を行う。サンプリングラッチ回路26Uは、シフトレジスタ25Uから与えられるシフトパルスにตอบสนองして、入力される所定ビットのデジタル画像データを点順次にてサンプリングしてラッチする。

【0017】線順次化ラッチ回路27Uは、サンプリングラッチ回路26Uで点順次にてラッチされたディジ

6

タル画像データを1ライン単位で再度ラッチすることによって線順次化し、この1ライン分のデジタル画像データを一斉に出力する。DA変換回路28Uは例えば基準電圧選択型の回路構成をとり、線順次化ラッチ回路27Uから出力される1ライン分のデジタル画像データをアナログ画像信号に変換して先述した画素エリア部12のデータライン…、 $22m-2$ 、 $22m-1$ 、 $22m$ 、 $22m+1$ 、…に与える。

【0018】下側のHドライバ13Dについても、上側のHドライバ13Uと全く同様に、シフトレジスタ25D、サンプリングラッチ回路26D、線順次化ラッチ回路27DおよびDA変換回路28Dを有する構成となっている。なお、本例に係る液晶表示装置では、表示エリア部12の上下にHドライバ13U、13Dを配する構成を採ったが、これに限定されるものではなく、上下のいずれか一方のみに配する構成を採ることも可能である。

【0019】図1および図3から明らかなように、タイミング発生回路15についても、Hドライバ13U、13DおよびVドライバ14と同様に、表示エリア部12と共に同一のガラス基板11上に集積される。ここで、例えば表示エリア部12の上下にHドライバ13U、13Dを配する構成を採る液晶表示装置の場合には、Hドライバ13U、13Dが搭載されていない辺の額縁エリア（表示エリア部12の周辺エリア）にタイミング発生回路15を搭載するのが好ましい。

【0020】何故ならば、Hドライバ13U、13Dは、上述した如くVドライバ14に比べて構成要素が多く、その回路面積が非常に大きくなる場合が多いことから、Hドライバ13U、13Dが搭載されていない辺の額縁エリアに搭載することで、有効画面率（ガラス基板11に対する有効エリア部12の面積率）を低下させることなく、タイミング発生回路15を表示エリア部12と同一のガラス基板11上に集積することができるからである。

【0021】なお、本例に係る液晶表示装置においては、Hドライバ13U、13Dが搭載されていない辺の額縁エリアの一方側にはVドライバ14が集積されていることから、その反対側の辺の額縁エリアにタイミング発生回路15を集積する構成を採っている。

【0022】また、タイミング発生回路15の集積に際しては、表示エリア部12の各画素トランジスタとして薄膜トランジスタTFTを用いていることから、タイミング発生回路15を構成するトランジスタとしても薄膜トランジスタを用い、少なくともこれらトランジスタ回路を表示エリア部12と同一プロセスを用いて作成することにより、その製造が容易になるとともに、低コストにて実現できる。

【0023】薄膜トランジスタについては、近年の性能向上や消費電力の低下に伴って集積化が容易になってい

(5)

7
るのが現状である。したがって、タイミング発生回路15、特に少なくともトランジスタ回路を表示エリア部1.2の画素トランジスタと同じ薄膜トランジスタを用いて、同一のガラス基板11上に同一プロセスにて一体的に形成することにより、製造プロセスの簡略化に伴う低コスト化、さらには集積化に伴う薄型化、コンパクト化を図ることができる。

【0024】なお、ここでは、アクティブマトリクス型液晶表示装置に適用した場合を例に採って説明したが、これに限定されるものではなく、エレクトロルミネッセンス（EL）素子を各画素の電気光学素子として用いたEL表示装置などの他のアクティブマトリクス型表示装置にも同様に適用可能である。

【0025】図4は、タイミング発生回路15を備えた本発明の一実施形態に係るアクティブマトリクス型表示装置の構成例を示すブロック図である。ここでは、図面の簡略化のために、上側のHドライバ13Uのみを示しているが、下側のHドライバ13Dとの関係についても上側のHドライバ13Uと同様である。

【0026】タイミング発生回路15は、外部から与えられる水平同期信号HD、垂直同期信号VDおよびマスタークロックMCKを入力とし、これらを基準にしてまず、Hドライバ13Uのシフトレジスタ25Uに与える水平スタートパルスHSTおよび水平転送パルスHCK、並びにVドライバ14のシフトレジスタ29に与える垂直スタートパルスVSTおよび垂直転送パルスVCKを発生する。

【0027】ここで、水平スタートパルスHSTは水平同期信号HDの発生後所定時間経過後に発生するパルス信号であり、水平転送パルスHCKはマスタークロックMCKを例えば分周することによって得られるパルス信号である。また、垂直スタートパルスVSTは、垂直同期信号VDの発生後所定時間経過後に発生するパルス信号であり、垂直転送パルスVCKは水平転送パルスHCKを例えば分周することによって得られるパルス信号である。

【0028】したがって、タイミング発生回路15において、水平同期信号HD、垂直同期信号VDおよびマスタークロックMCKを基準にして、水平スタートパルスHST、水平転送パルスHCK、垂直スタートパルスVSTおよび垂直転送パルスVCKを生成するための回路としては、数段の簡単なカウンタ回路で実現できることになる。

【0029】タイミング発生回路15はさらに、Hドライバ13Uのシフトレジスタ25Uの適当な転送段から得られるタイミングデータおよびVドライバ14のシフトレジスタ29の適当な転送段から得られるタイミングデータ（タイミング情報）をも入力とし、これらタイミングデータを基にして、Hドライバ13Uで用いるタイミングパルスや、Vドライバ14で用いるタイミングパ

8
ルスをも発生する構成となっている。

【0030】ここで、Hドライバ13Uで用いるタイミングパルスとしては、一例として、図3に示す線順次化ラッチ回路27Uで用いるラッチ制御パルスが挙げられる。ただし、これに限られるものではない。一方、Vドライバ14で用いるタイミングパルスとしては、一例として、表示エリア部1.2の垂直方向のある期間だけ表示を行う部分表示モードのときにその表示期間を特定するための表示期間制御パルスが挙げられる。ただし、これに限られるものではない。

【0031】図5は、タイミング発生回路15の具体的な構成例を示すブロック図である。ここでは、タイミング発生回路15がHドライバ13Uのシフトレジスタ25Uから与えられるタイミングデータに基づいて、線順次化ラッチ回路27Uで用いるラッチ制御パルスを発生する場合を例に採って説明するものとする。

【0032】図5において、まず、Hドライバ13Uのシフトレジスタ25Uは、表示エリア部1.2における水平画素数N以上のM段のD型フリップフロップ（以下、DFFと記す）31-1～31-Mによって構成されている。かかる構成のシフトレジスタ25Uは、水平スタートパルスHSTが与えられると、水平転送パルスHCKに同期してシフト動作を行う。その結果、DFF31-1～31-Mの各Q出力端からは、水平転送パルスHCKに同期して順次パルス（タイミング情報）が出力される。

【0033】これらDFF31-1～31-Mの各Q出力パルスは、サンプリングパルスとしてサンプリングラッチ回路26Uに順次与えられる。また、DFF31-1～31-Mの各Q出力パルスのうち、適当な転送段のQ出力パルス、ここでは一例として、1段目のDFF31-1のQ出力パルスAと、M-1段目のDFF31-M-1のQ出力パルスBとがタイミング発生回路15に供給される。

【0034】タイミング発生回路15において、ラッチ制御パルスを発生するためのラッチ制御パルス発生回路32は、例えばDFF33およびバッファ34からなる構成となっている。DFF33は、シフトレジスタ25Uから供給される1段目のDFF31-1のQ出力パルスAをクロック（CK）入力、M-1段目のDFF31-M-1のQ出力パルスBをクリア（CLR）入力とし、自身の反転Q出力をデータ（D）入力としている。

【0035】これにより、図6のタイミングチャートから明らかなように、DFF31-1のQ出力パルスAの立ち上がりタイミングからDFF31-M-1のQ出力パルスBの立ち上がりタイミングまでの期間において、“H”レベル（高レベル）となるパルスが、DFF33のQ出力端からバッファ34を介してラッチ制御パルスCとして得られる。

【0036】上述したように、表示装置用のタイミング

(6)

9

発生回路15において、Hドライブ13U、13DやVドライブ14で用いるタイミングパルスの生成に、Hドライブ13U、13Dのシフトレジスタ25U、25DやVドライブ14のシフトレジスタ29を兼用し、これらシフトレジスタから得られるタイミングデータを基にタイミングパルスを生成するようにしたことにより、カウンタ回路などの専用の回路が不要になり、回路構成を簡略化できるため、セットの小型化、低コスト化、さらには低消費電力化が可能になる。

【0037】特に、タイミング発生回路15をHドライブ13U、13DやVドライブ14と同様に、表示エリア部12と共に同一のガラス基板11上に一体的に形成した場合には、タイミング発生回路15の回路構成が極めて簡単であり、消費電力も低いことから、ディスプレイの狭額縁化、低コスト化、さらには低消費電力化が可能になる。

【0038】なお、上記実施形態では、水平同期信号HD、垂直同期信号VDおよびマスタークロックMCKを基に水平スタートパルスHST、水平転送パルスHCK、垂直スタートパルスVSTおよび垂直転送パルスVCKを発生するための回路部分についても、ガラス基板11上に一体形成するとしたが、この回路部分についてはガラス基板11とは別基板上に形成するようにしても良い。なぜならば、先述したように、上記の回路部分については簡単なカウンタ回路で実現できることから、別基板上に形成したとしても、周辺回路の構成がそれ程複雑化することはないからである。

【0039】また、上記実施形態では、Hドライブ13U、13DやVドライブ14がシフトレジスタを用いた構成の場合を前提とした説明したが、シフトレジスタを用いた場合に限られるものではなく、Hドライブ13U、13DやVドライブ14におけるアドレス制御を行い、かつ、タイミングデータを生成するためのカウント動作を行うものであれば、それぞれ別なタイプのカウンタ回路を用いた構成の場合にも同様に適用可能である。

【0040】図7は、タイミング発生回路15を備えた本発明の他の実施形態に係るアクティブマトリクス型表示装置の構成例を示すブロック図であり、図中、図4と同等部分には同一符号を付して示している。ここでも、図面の簡略化のために、上側のHドライブ13Uのみを示しているが、下側のHドライブ13Dとの関係についても上側のHドライブ13Uと同様である。

【0041】本実施形態に係るアクティブマトリクス型表示装置では、タイミング発生回路15に加えて電源回路16を備え、この電源回路16についても、タイミング発生回路15と同様に、表示エリア部12と共に同一のガラス基板11上に一体的に形成した構成を採っている。

【0042】電源回路16は、例えばチャージポンプ型の電源電圧変換回路(DC-DCコンバータ)からな

10

り、外部から与えられる単一の直流電源電圧VCCを電圧値の異なる複数種類の直流電圧に変換し、これら直流電圧をHドライブ13U、13DやVドライブ14などに与える。そして、本実施形態においては、タイミング発生回路15は、この電源回路16で用いるタイミングパルスをも発生する構成を採っている。

【0043】電源回路16の具体的な構成について説明する。ここでは、電源回路16として例えばチャージポンプ型の電源電圧変換回路を用いる場合を例に採って説明するものとする。

【0044】図8は、チャージポンプ型の電源電圧変換回路の構成例を示す回路図であり、(A)は負電圧発生タイプを、(B)は昇圧タイプをそれぞれ示している。このチャージポンプ型電源電圧変換回路に対してはタイミング発生回路15から、スイッチング動作を行うためのクロックパルスやクランプ動作を行うためのクランプ用パルスがタイミングパルスとして与えられることになる。

【0045】図8において、単一の直流電源電圧VCCを与える電源とグランド(GND)との間には、PchMOSトランジスタQp11とNchMOSトランジスタQn11とが直列に接続され、かつ各ゲートが共通に接続されてCMOSインバータ36を構成している。このCMOSインバータ36のゲート共通接続点には、タイミング発生回路15から供給されるタイミングパルスがスイッチングパルスとして印加される。

【0046】CMOSインバータ36のドレイン共通接続点(ノードB)には、コンデンサC11の一端が接続されている。コンデンサC11の他端には、NchMOSトランジスタQn12のドレインおよびPMOSトランジスタQp12のソースがそれぞれ接続されている。NchMOSトランジスタQn12のソースとグランドとの間には、負荷コンデンサC12が接続されている。

【0047】CMOSインバータ36のゲート共通接続点には、コンデンサC13の一端が接続されている。コンデンサC13の他端には、ダイオードD11のアノードが接続されている。コンデンサC13の他端にはさらに、NchMOSトランジスタQn12およびPchMOSトランジスタQp12の各ゲートがそれぞれ接続されている。PchMOSトランジスタQp12のドレインは接地されている。

【0048】コンデンサC13の他端とグランドとの間には、PchMOSトランジスタQp13が接続されている。このPchMOSトランジスタQp13のゲートには、タイミング発生回路15から供給されるタイミングパルス、即ちクランプ用パルスがレベルシフト回路37でレベルシフトされて与えられる。これらPchMOSトランジスタQp13およびレベルシフト回路37は、スイッチングトランジスタ(NchMOSトランジスタQn12およびPchMOSトランジスタQp12)のスイッ

(7)

11

チングパルス電圧をクランプするクランプ回路を構成している。

【0049】このクランプ回路において、レベルシフト回路37は、本電源電圧変換回路に入力される電源電圧VCCを正側回路電源、負荷コンデンサC12の両端から導出される本回路の出力電圧Voutを負側回路電源とし、タイミング発生回路15から供給される振幅VCC-0[V]のクランプ用パルスを、振幅VCC-Vout[V]のクランプ用パルスにレベルシフトしてPchMOSトランジスタQp13のゲートに与える。これにより、PchMOSトランジスタQp13のスイッチング動作がより確実に行われることになる。

【0050】次に、上記構成の負電圧発生タイプのチャージポンプ型電源電圧変換回路における回路動作について、図9(A)のタイミングチャートを用いて説明する。なお、図9(A)のタイミングチャートには、図8(A)の回路におけるノードA~Gの各信号波形A~Gを示している。

【0051】電源投入時(起動時)には、タイミング発生回路15から供給されるスイッチングパルスに基づくコンデンサC13の出力電位、即ちノードDの電位は、先ずダイオードD11によって、負側の回路電源電位であるグラウンド(GND)レベルからダイオードD11のしきい値電圧Vth分だけレベルシフトした電位に“H”レベルクランプされる。

【0052】そして、スイッチングパルスが“L”レベル(0V)のときは、PchMOSトランジスタQp11、Qp12がオン状態となるため、コンデンサC11が充電される。このとき、NchMOSトランジスタQn11がオフ状態にあるため、ノードBの電位がVCCレベルとなる。次いで、スイッチングパルスが“H”レベル(VCC)になると、NchMOSトランジスタQn11、Qn12がオン状態となり、ノードBの電位がグラウンドレベル(0V)になるため、ノードCの電位が-VCCレベルとなる。このノードCの電位がそのままNchMOSトランジスタQn12を通して出力電圧Vout(=-VCC)となる。

【0053】次に、出力電圧Voutがある程度立ち上がると(起動プロセス終了時)、クランプパルス用のレベルシフト回路37が動作を始める。このレベルシフト回路37が動作し始めると、タイミング発生回路15から供給される振幅VCC-0[V]のクランプ用パルスは、当該レベルシフト回路37において、振幅VCC-Vout[V]のクランプ用パルスにレベルシフトされ、しかる後PchMOSトランジスタQp13のゲートに印加される。

【0054】このとき、クランプ用パルスの“L”レベルが出力電圧Vout、即ち-VCCであるため、PchMOSトランジスタQp13が確実にオン状態となる。これにより、ノードDの電位は、グラウンドレベルからダ

12

イオードD11のしきい値電圧Vth分だけレベルシフトした電位ではなく、グラウンドレベル(負側の回路電源電位)にクランプされる。これにより、以降のポンピング動作において、特にPchMOSトランジスタQp12に対して十分な駆動電圧が得られる。

【0055】上記構成のチャージポンプ型電源電圧変換回路では、その出力部に設けられたスイッチ素子(NchMOSトランジスタQn12およびPchMOSトランジスタQp12)に対する制御パルス(スイッチングパルス)電圧を、本回路の起動時には先ずダイオードD11によるクランプ、起動プロセス終了後はPchMOSトランジスタQp13およびレベルシフト回路37からなるクランプ回路によるクランプ、というように2段階に分けてクランプする動作が行われるため、特にPchMOSトランジスタQp12に対して十分な駆動電圧をとることができる。

【0056】これにより、PchMOSトランジスタQp12において十分なスイッチング電流が得られるようになるため、安定したDC-DC変換動作が行えるようになるとともに、変換効率を向上させることができる。特に、PchMOSトランジスタQp12のトランジスタサイズを大きくしなくても、十分なスイッチング電流が得られるため、小面積の回路規模にて電流容量の大きな電源電圧変換回路を実現できる。その効果は、しきい値Vthが大きいトランジスタ、例えば薄膜トランジスタを用いた場合に特に大きい。

【0057】図8(B)に示す昇圧タイプのDDコンバータにおいても、基本的な回路構成および回路動作は同じである。

【0058】すなわち、図8(B)において、スイッチングトランジスタおよびクランプ用トランジスタ(MOSトランジスタQp14、Qn14、Qn13)が、図8(A)の回路のMOSトランジスタQn12、Qp12、Qp13と逆導電型となるとともに、ダイオードD11がコンデンサC11の他端と電源(VCC)との間に接続され、かつレベルシフト回路37が本回路の出力電圧Voutを正側回路電源とし、グラウンドレベルを負側回路電源とした構成となっており、この点が図8(A)の回路と構成上相違するのみである。

【0059】回路動作上においても、基本的には、図8(A)の回路と全く同じである。異なるのは、スイッチングパルス電圧(制御パルス電圧)が起動時に先ずダイオードクランプされ、起動プロセス終了時にVCCレベル(正側の回路電源電位)にクランプされ、また出力電圧Voutとして電源電圧VCCの2倍の電圧値2×VCCが導出される点だけである。図9(B)に、図8(B)の回路におけるノードA~Gの各信号波形A~Gのタイミングチャートを示す。

【0060】以上述べたチャージポンプ型の電源電圧変換回路の回路構成は一例に過ぎず、チャージポンプ回路

(8)

13

の回路構成としては種々の変更が可能であり、上記の回路構成例に限定されるものではない。

【0061】なお、上記各実施形態では、タイミング発生回路15で発生するタイミングパルスとして、Hドライバ13U、13Dのラッチ回路27U、27Dで用いるラッチ制御パルスと、チャージポンプ型電源電圧変換回路からなる電源回路16で用いるスイッチングパルスおよびクランプ用パルスを例に挙げたが、これらに限られるものではない。

【0062】一例として、Vドライバ14が、出力インネーブルパルスが与えられることによって走査パルスを出10 力する出力インネーブル回路を有する構成をとる場合には、その出力インネーブル回路で用いる出力インネーブルパルスや、あるいは表示装置が省電力モードの一態様である表示エリア部の一部の領域にのみ情報を表示する一部画面表示モードを選択的にとる構成の場合には、その一部画面表示モードの制御信号（コントロールパルス）などであっても良い。

【0063】また、上記各実施形態に係るアクティブマトリクス型表示装置は、パーソナルコンピュータ、ワー20 ドプロセッサ等のOA機器やテレビジョン受像機などのディスプレイとして用いられる外、特に装置本体の小型化、コンパクト化が進められている携帯電話機やPDAなどの携帯端末の表示部として用いて好適なものである。

【0064】図10は、本発明が適用される携帯端末、例えば携帯電話機の構成の概略を示す外觀図である。

【0065】本例に係る携帯電話機は、装置筐体41の前面側に、スピーカ部42、表示部43、操作部44およびマイク部45が上部側から順に配置された構成とな30 っている。かかる構成の携帯電話機において、表示部43には例えば液晶表示装置が用いられ、この液晶表示装置として、先述した各実施形態に係るアクティブマトリクス型液晶表示装置が用いられる。

【0066】このように、携帯電話機などの携帯端末において、先述した各実施形態に係るアクティブマトリクス型液晶表示装置を表示部43として用いることにより、当該液晶表示装置に搭載されるタイミング発生回路の回路構成が簡単で、表示装置の小型化、低コスト化、さらには低消費電力化を図ることができるため、端末本40 体の小型化、低コスト化、さらには低消費電力化が可能となる。

【0067】

14

【発明の効果】以上説明したように、本発明によれば、タイミング発生回路、これを搭載したアクティブマトリクス型表示装置あるいはこれを表示部として用いた携帯端末において、垂直駆動回路および水平駆動回路の少なくとも一方で生成されるタイミング情報を基に、垂直駆動回路および水平駆動回路の少なくとも一方で用いるタイ50 ミング信号を生成するようにしたことにより、垂直駆動回路および水平駆動回路の少なくとも一方の回路の一部をタイミング信号の生成に兼用できる分だけ回路構成を簡略化できるため、セットの小型化、低コスト化、さらには低消費電力化が可能になる。

【図面の簡単な説明】

【図1】本発明に係るアクティブマトリクス型表示装置の構成例を示す概略構成図である。

【図2】液晶表示装置の表示エリア部の構成例を示す回路図である。

【図3】Hドライバの具体的な構成の一例を示すブロック図である。

【図4】本発明の一実施形態に係るアクティブマトリクス型表示装置の構成例を示すブロック図である。20

【図5】タイミング発生回路の具体的な構成の一例を示すブロック図である。

【図6】タイミング発生回路の動作説明のためのタイミングチャートである。

【図7】本発明の他の実施形態に係るアクティブマトリクス型表示装置の構成例を示すブロック図である。

【図8】チャージポンプ型電源電圧変換回路の構成例を示す回路図であり、(A)は負電圧発生タイプを、(B)は昇圧タイプをそれぞれ示している。

【図9】チャージポンプ型電源電圧変換回路の回路動作を説明するためのタイミングチャートであり、(A)は負電圧発生タイプの場合を、(B)は昇圧タイプの場合をそれぞれ示している。

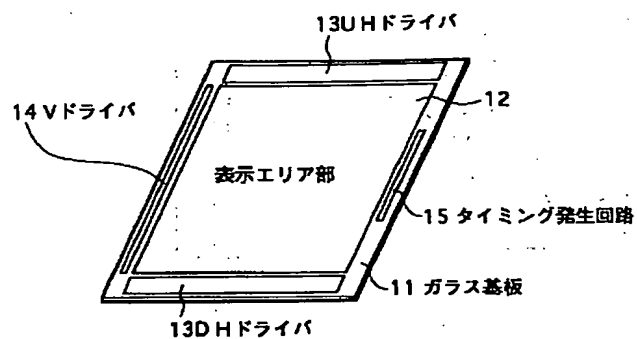
【図10】本発明に係る携帯端末である携帯電話機の構成の概略を示す外觀図である。

【符号の説明】

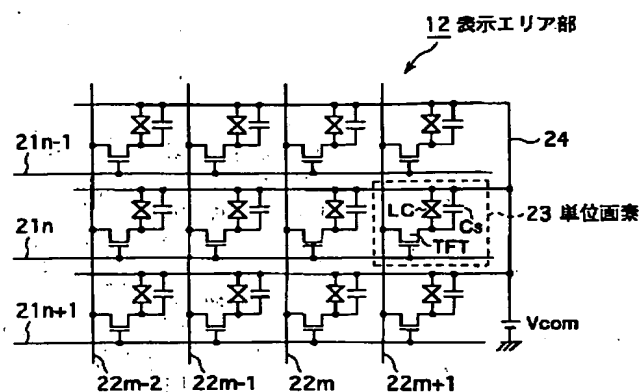
11…ガラス基板、12…表示エリア部、13U、13D…Hドライバ（水平駆動回路）、14…Vドライバ（垂直駆動回路）、15…タイミング発生回路、16…電源回路、23…単位画素、25U、25D、29…シフトレジスタ、31-1～31-M、32…ラッチ制御パルス発生回路、33…D型フリップフロップ（DF50 F）

(9)

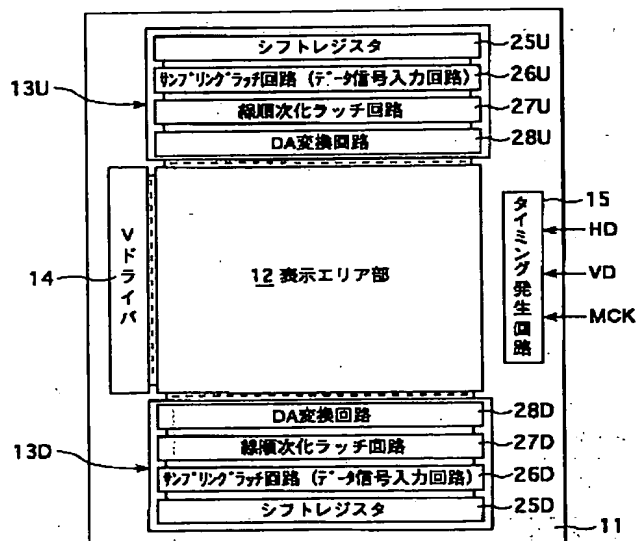
【図1】



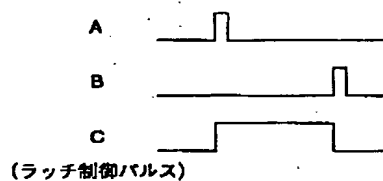
【図2】



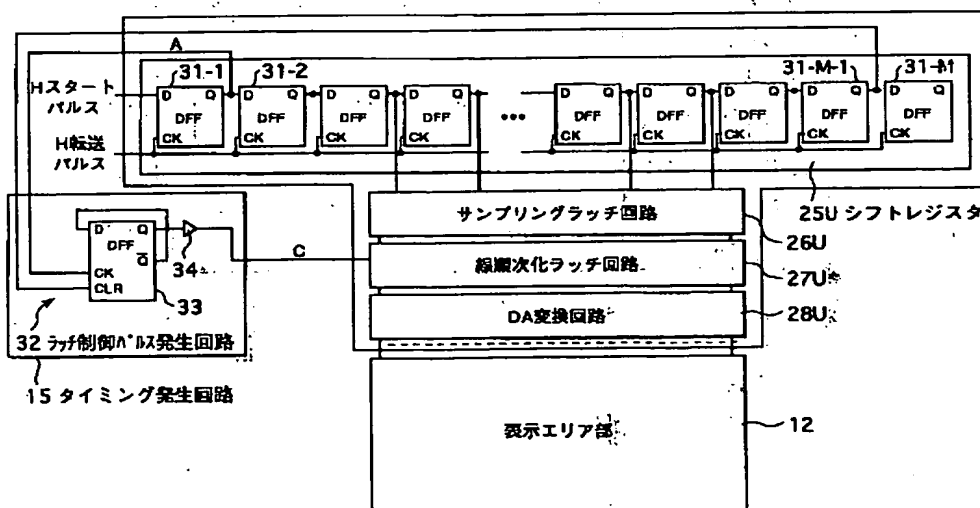
【図3】



【図6】

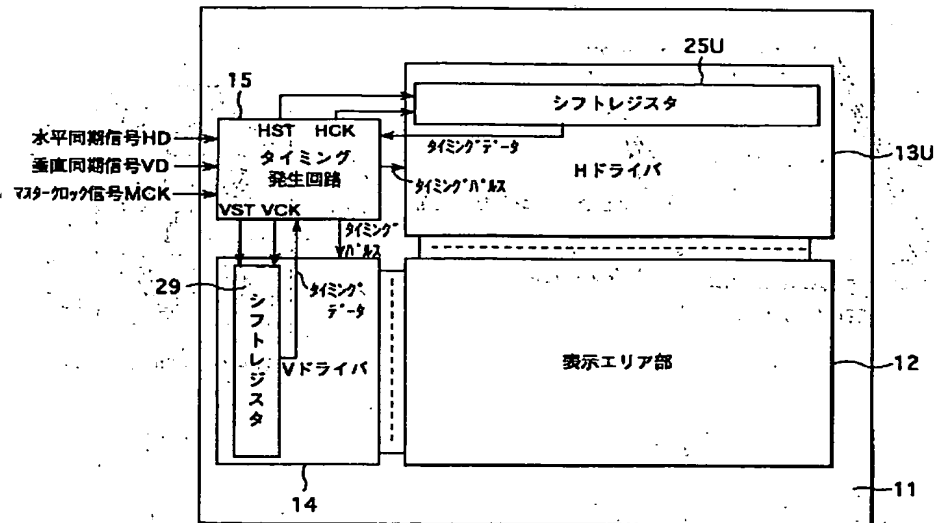


【図5】

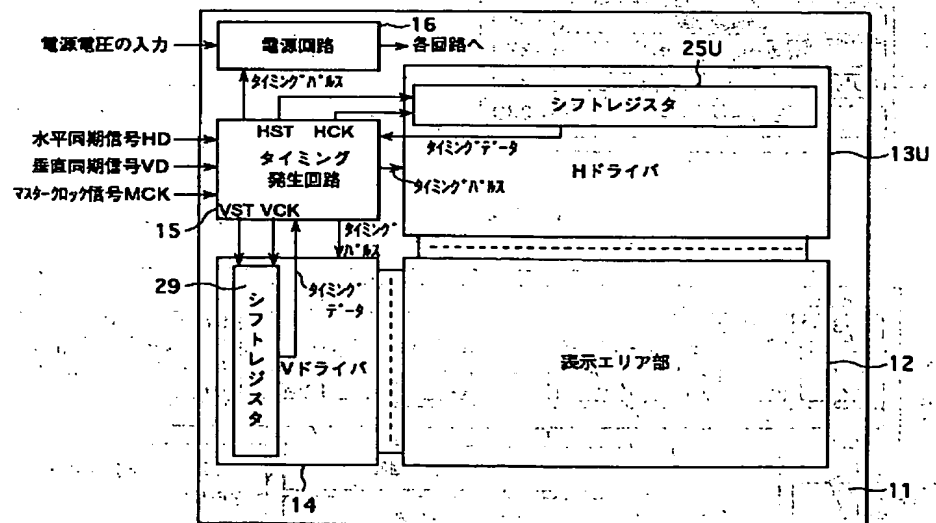


(10)

【図4】

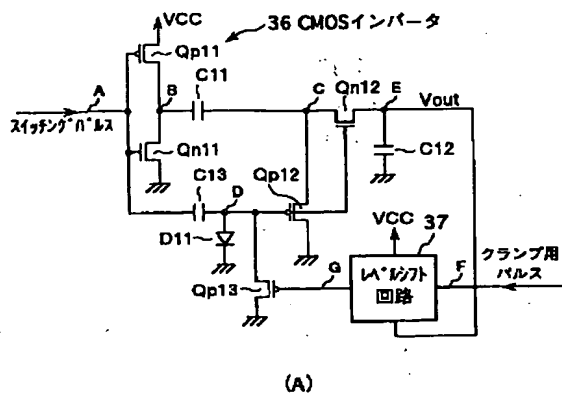


【図7】

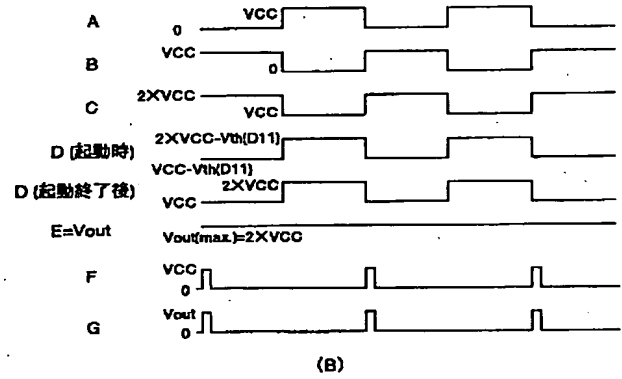
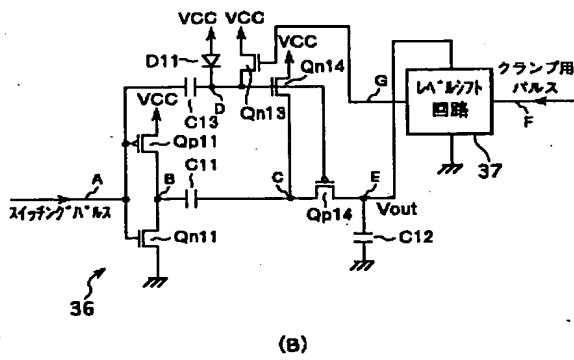
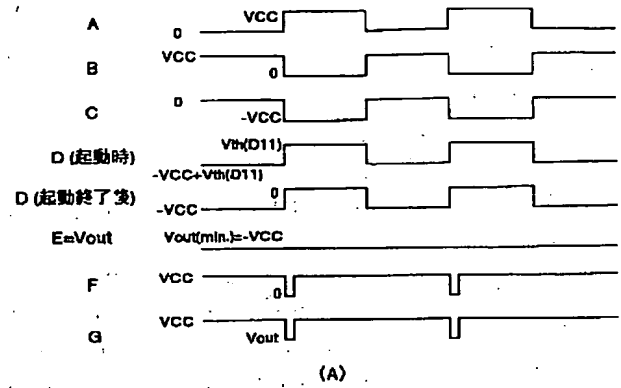


(11)

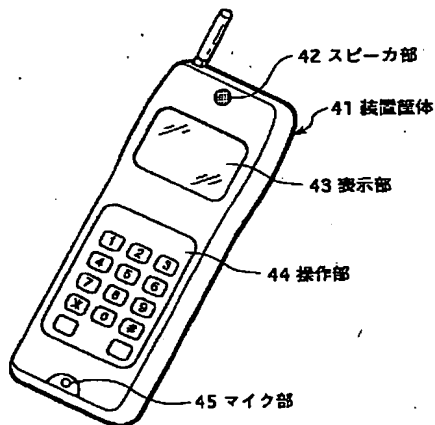
【図8】



【図9】



【図10】



(12)

フロントページの続き

(51) Int. Cl. ⁷	識別記号	F I	テーマコード (参考)
G 0 9 G 3/20	6 8 0	G 0 9 G 3/20	6 8 0 G
G 0 2 F 1/133	5 5 0	G 0 2 F 1/133	5 5 0
G 0 9 G 3/30		G 0 9 G 3/30	Z
3/36		3/36	

F ターム (参考) 2H093 NA16 NC16 NC22 NC27 NC34
 ND39 ND42 ND49 ND54
 5C006 BB16 BC02 BC20 BF03 BF04
 BF22 BF46 FA41 FA47 FA51
 5C080 AA06 AA10 BB05 DD22 DD26
 DD27 JJ02 JJ03 JJ04 JJ06
 KK07 KK47